

## Reference 2

Partial Translation:

Japanese Patent Application laid open No. H01-199476

Title of the invention: Pressure Sensor

Application No.: S63-247073  
Filing Date : September 30, 1988  
Publication Date: August 10, 1989  
Inventor : Aki TABATA et al.,  
Applicant : Komatsu Ltd.

[Part A]

(5) As shown in Fig. 2(e), in order to protect a strain gage, registers and wiring patterns,  $\text{SiN}_x$  membranes whose thickness is approximately 5000 Å are laminated as passivation layers by use of a plasma CVD technique.

[Part B]

Description of Numerals in the drawings

- 1: diaphragm
- 2:  $\text{SiO}_2$  membrane
- 3: strain gage
- 4: electrode
- 5: sensor part
- 6: passivation membrane
- 7: temperature compensation part
- R: resistor
- E: wiring pattern
- Tr: transistor

## ⑫ 公開特許公報(A)

平1-199476

⑮ Int. Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)8月10日

H 01 L 29/84

G 01 L 9/04

1 0 1

B-7733-5F

7507-2F

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 圧力センサ

⑯ 特 願 昭63-247073

⑰ 出 願 昭63(1988)9月30日

優先権主張

⑱ 昭62(1987)10月28日 ⑲ 日本(JP) ⑳ 特願 昭62-272590

⑲ 発 明 者	田 畑	亜 紀	神奈川県平塚市万田1200	株式会社小松製作所研究所内
⑲ 発 明 者	田 近	淳	神奈川県平塚市万田1200	株式会社小松製作所研究所内
⑲ 発 明 者	稲 垣	宏	神奈川県平塚市万田1200	株式会社小松製作所研究所内
⑲ 発 明 者	小 林	諭 樹 夫	神奈川県平塚市万田1200	株式会社小松製作所研究所内
⑲ 発 明 者	鈴 木	朝 岳	神奈川県平塚市万田1200	株式会社小松製作所研究所内
⑲ 出 願 人	株式会社小松製作所 東京都港区赤坂2丁目3番6号			

## 明 細 書

## 1. 発明の名称

圧力センサ

## 2. 特許請求の範囲

(1) ダイアフラム受圧面の裏側に、絶縁膜を介して歪ゲージを設けている薄膜圧力センサにおいて、前記歪ゲージ形成面に歪ゲージと同材料で形成されている温度、零点等の補償の抵抗回路を設けたことを特徴とする圧力センサ。

(2) ダイアフラム受圧面の裏側に、絶縁膜を介して歪ゲージを設けている薄膜圧力センサにおいて、ダイアフラムの拘束面とダイアフラム受圧面とに段差を設けたことを特徴とする圧力センサ。

## 3. 発明の詳細な説明

(産業上の利用分野)

半導体に歪を加えると大きな抵抗変化を示すというピエゾ効果を利用した半導体歪ゲージを用いて、各種のセンサが開発されている。

その一つとして、ステンレスなどの金属でダイアフラムを構成し、このダイアフラム上に絶縁膜

を介してアモルファスシリコン薄膜等の半導体薄膜からなる歪ゲージを形成した薄膜圧力センサがある。

本発明は、前記薄膜圧力センサの歪ゲージの温度あるいは零点を補償する回路において、その低抵抗素子を歪ゲージと同材料で形成した補償回路の構造と圧力センサの受圧部と拘束部を適だけ拘束による受圧部への悪影響を少なくする構造に関するものである。

(従来の技術)

薄膜圧力センサについて説明する。

第6図(a)に、薄膜圧力センサの断面図を示すように、薄膜圧力センサは、ステンレス製のダイアフラム1と該ダイアフラム1の表面に絶縁膜としての酸化シリコン(SiO<sub>2</sub>)膜2を介して形成された多結晶シリコン層パターンからなる歪ゲージ3と、該歪ゲージ3に給電するためのアルミニウム層パターンからなる電極4と、歪ゲージ3と電極4とからなるセンサ部5を被膜保護するための酸化シリコン層からなるパッシベーション膜

6とから構成されている。そして同図(b)に示すように、センサ部5は4つの歪ゲージ3のパターン $R_1 \sim R_4$ 。とこれらに給電するための6つの電極4の配線パターン $E_1 \sim E_6$ 。とから構成されている。このセンサ部5を等価回路で示すと、同図(c)に示すように、ブリッジ回路を構成しており、圧力に起因した歪による歪ゲージ3の抵抗変化によって生じる電極配線パターン $E_1$ と $E_2$ 。との間の電圧変化を検出することにより、圧力を測定するようになっている。

ところで、半導体素子には、特性の温度依存性が大きいという欠点がある。しかし温度に対する繰り返し再現性は優れており、補償後はこの特性が逆に素子の信頼性を高める結果になっている。半導体薄膜圧力センサの場合、歪ゲージの抵抗値は該歪ゲージの固有の抵抗値と、圧力による抵抗の変化とともに、温度で変化する。従って歪ゲージを組み合わせたブリッジ回路では、圧力感度と零点とが、ともに温度によって変化してしまう。温度補償をいかに上手に行うかで圧力センサの精

度が決まるために、従来から種々様々な方法が試みられてきた。

次に示す方法は、定電圧駆動する圧力センサにおいて、トランジスタと抵抗を組み合わせて歪ゲージの感度の温度変動を相殺するものである。

第7図に温度補償用回路7を組み込んだ圧力センサの等価回路図を示すが、電極配線パターン $E_1$ 、 $E_2$ 。の接点と $E_3$ 。との間に、トランジスタ $T_1$ と抵抗 $R_1$ 、 $R_2$ 。とを接続する。

薄膜圧力センサの感度は、第8図(a)に示すように、温度が高くなるにつれて直線的に低下してしまう(イ)。ここで感度とは、圧力センサが受ける圧力の大きさと、それによって生じる抵抗値の変化率である。つまり、

$$\text{感度} = \frac{\Delta(\text{抵抗値})}{\Delta(\text{圧力})}$$

となり、感度が高い方が精度が向上する。

いっぽう、温度補償に用いられているトランジスタの電圧降下は、温度が高くなるにつれて低くなる。つまり入力電圧を一定にしておけば第8図

(b)に示すように、トランジスタを介してセンサ部に印加される電圧が高くなっていく(ロ)。センサ部に印加される電圧が高くなると温度によるセンサ部の感度低下分と相殺され、結局温度が上昇しても一定な感度を保つことができる(第8図(a)②)。このように温度補償用の素子を組み込んだ薄膜圧力センサは温度によって感度が変化しない信頼性の高いものとなる。

このような温度補償用の素子は、第9図に示すように薄膜圧力センサの外部に組み込まれている。薄膜圧力センサ100はケース101に組み込まれ、そのケース101と共に外部回路用のケース102に組み込まれる。同ケース102の内部にはアンプ105と温度補償用素子106が接続されたプリント基板104があり、同ケース102は蓋103によって閉じられている。プリント基板104上の温度補償用素子106によって温度補償された薄膜圧力センサ100の出力は、アンプ105によって増幅され、外部回路(図示せず)に出力される。

また、従来はセンサモジュールを圧力変換器や他の被測定体に組み込む際、センサモジュールを拘束する位置は受圧面とはほぼ同一面上にあった(第5図(b))。

(発明が解決しようとする課題)

上記で説明した温度補償用の回路において、使用しているトランジスタの温度による電圧降下の変化率と、歪ゲージの温度による感度低下の変化率とは必ずしも一致しない。そこで、抵抗素子 $R_1$ 、 $R_2$ 。を2個用いて、その抵抗素子の2個の抵抗の比を変えることにより、前記電圧降下の温度依存性の値を自由に変えることができるので、歪ゲージの感度低下の変化率と一致させて、精度良く感度補正を行う。

従来この抵抗素子は、薄膜圧力センサの外部のプリント基板104に接続されていた。薄膜圧力センサは大変小さいので、プリント基板104にトランジスタとさらに抵抗素子2個をハンダ付けで接続したり、圧力センサの電極と接続したりするのは困難であった。そして、抵抗素子2個を接

統するために、部品点数と工程が増えるということは、工程上の歩留り低下の要因、部品の不良や部品の接触不良等による歩留り低下の要因が大きく増えるということであった。

又、圧力センサを拘束し圧力を印加すると、拘束箇所の形状が変化し、第5図(c)に示すように拘束位置がずれる。従来のように拘束部が受圧面に近いと少しの拘束位置のずれでもダイヤフラム上の応力分布が大きく変化する(第5図(b))。この結果圧力に対する出力特性の直線性に悪影響を及ぼすという問題があった。

(課題を解決するための手段及び作用)

(1) 薄膜圧力センサの温度補償のための抵抗は、抵抗素子を用いて構成するのではなく、該薄膜圧力センサの歪ゲージを構成している材料を用いる。つまり、歪ゲージを形成する際、多結晶シリコン薄膜等を積層し、そしてパターニングを行うが、それと同時に、抵抗もパターニングして設ける。センサ部と抵抗との配線も、センサ部の電極配線パターンと同材料で同時に形成する。

$E_1$ の接点と印加電圧源 $V_{in}$ (図示せず)との間に形成する。

第1図(b)に示すように、この実施例において、薄膜圧力センサは、ステンレス1上に絶縁膜として $SiO_2$ 膜2を積層し、次に歪ゲージ3と抵抗 $R_1$ 、 $R_2$ とを多結晶シリコン薄膜で形成し、その上に電極4の配線パターン( $E_1 \sim E_4$ )が形成されて構成されている。トランジスタ $T_r$ は、 $E_1 \sim E_4$ 間と、 $E_1$ 、 $E_4$ とに外付けで接続される(図示せず)。この薄膜圧力センサの等価回路は第7図と同様である。

第2図(a)～(e)に本発明の第一の実施例の工程図を示し、説明する。

(1) 第2図(a)に示すように、ステンレスのダイヤフラム1上に、絶縁膜として $SiO_2$ 膜をプラズマCVD法で約 $7\mu m$ 積層する。

(2) 第2図(b)に示すように、該 $SiO_2$ 膜上に多結晶シリコン薄膜をプラズマCVD法でランガスを原料に用いて約 $0.5\mu m$ 積層する。

(3) 第2図(c)に示すように、積層した多結

晶シリコン薄膜等を、フォトリソグラフィ工程を用いて、歪ゲージ3パターン( $R_1 \sim R_4$ )と抵抗パターン( $R_1$ 、 $R_2$ )を形成する。この時、抵抗パターンの形をかえることにより、所望の抵抗値が得られ、補償回路のトランジスタの温度依存性の値を変えることができる。

(2) ダイヤフラム受圧面の裏側に絶縁膜を介して歪ゲージを設けている薄膜圧力センサにおいて、ダイヤフラムの拘束面とダイヤフラム受圧面とに段差を設けた、つまり拘束面を受圧面から遠ざけることにより、圧力印加時の拘束位置変化による影響が及ばなくする。

(実施例)

以下、本発明の実施例を図面に従って説明する。始めに補償用抵抗に関して説明する。

#### 第1実施例

第1図に本発明の第一の実施例の(a)平面図と、(b)断面図を示す。第1図(a)に示すように、ダイヤフラム1の歪ゲージ3( $R_1 \sim R_4$ )の形成面に、抵抗 $R_1$ 、 $R_2$ を、電極配線 $E_1$ 、

晶シリコン薄膜を、フォトリソグラフィ工程を用いて、歪ゲージ3パターン( $R_1 \sim R_4$ )と抵抗パターン( $R_1$ 、 $R_2$ )を形成する。この時、抵抗パターンの形をかえることにより、所望の抵抗値が得られ、補償回路のトランジスタの温度依存性の値を変えることができる。

尚、この抵抗パターン( $R_1$ 、 $R_2$ )は、歪を生じると抵抗値が変化してしまうので、一定の値を保つため、圧力によって歪を生じないダイヤフラムの周辺の位置に形成しなくてはならない。

(4) 第2図(d)に示すように、歪ゲージ( $R_1 \sim R_4$ )と抵抗( $R_1$ 、 $R_2$ )を形成した上に、アルミニウム(Al)等の金属電極4を蒸着し、フォトリソグラフィ工程により配線パターン( $E_1 \sim E_4$ )を形成し、配線する。

(5) 第2図(e)に示すように、歪ゲージ、抵抗、配線パターンを保護するために、パッシベーション膜として $SiN_x$ 膜をプラズマCVD法で $5000\text{\AA}$ 程度積層する。

以上で、薄膜圧力センサは完成する。そして、

この薄膜圧力センサは第9図に示したと同様に、ケース101に組み込まれ、そのケース101と共に外部回路用のケース102に組み込まれる。同ケース102の内部にはアンプ105と温度補償用のトランジスタが接続されたプリント基板104があり、同ケース102は蓋103によって閉じられる。プリント基板104上のトランジスタと、薄膜圧力センサの電極E<sub>1</sub>～E<sub>4</sub>間、E<sub>1</sub>、E<sub>2</sub>はボンディングワイヤ（図示せず）等で接続され、温度補償回路は完成し、圧力センサの出力はアンプ105によって増幅され、外部回路（図示せず）に出力される。

このような構成の薄膜圧力センサにすることにより、温度補償回路を構成する場合、部品、工程を増やすことなく、抵抗が形成できる。

本実施例は、感度に対する温度補償用の回路について説明したが、これに限ることなく、例えば零点に対する温度補償用の回路、各歪ゲージ間のバラツキによる零点補償用の回路等にも適用可能である。

第4図は本発明の第3の実施例の(a)平面図と(b)断面図である。温度補償素子を外部接続した場合の等価回路図は第2の実施例と同様（第3図(c)）である。本実施例では第4図(a)に示すように歪ゲージ3(R<sub>1</sub>～R<sub>4</sub>)は実質長尺パターンなので抵抗が高く、これに伴って零点補償用抵抗R<sub>5</sub>も高抵抗化する。従って本発明の第2の実施例のように、零点補償抵抗をくの字形などの実質幅広パターンにする必要はない。

又、本実施例では零点補償用粗調抵抗R<sub>6</sub>をダイアフラム1の中心に対して同一円周上に配置したので、圧延層成膜時の膜厚分布（ダイアフラム中心が最も厚く外側に向かって薄くなる）を無視できる。そのため、複数個に区切られた粗調抵抗1個当たりの抵抗値のバラツキを低減でき、精度の良い補償ができる。

尚、本実施例では第4図(b)に示すように絶縁膜2はSiO<sub>2</sub>一層であるが、ステンレスダイアフラム1と絶縁膜2の間に両者の線膨張係数の差を緩和するためのバッファ層として中間の線膨

## 第2実施例

第3図に第2の実施例として、感度に対する温度補償用の回路の抵抗R<sub>1</sub>、R<sub>2</sub>と、各歪ゲージ間のバラツキによる零点補償用抵抗R<sub>3</sub>を、薄膜圧力センサのダイアフラム上に形成した実施例の(a)平面図と(b)断面図と(c)温度補償素子としてトランジスタを外部接続した場合の等価回路図を示す。ダイアフラム1上に、絶縁膜を積層し（図示せず）、その上に歪ゲージ(R<sub>1</sub>～R<sub>4</sub>)と、感度に対する温度補償用の抵抗R<sub>1</sub>、R<sub>2</sub>と各歪ゲージ間のバラツキによる零点補償用回路の抵抗R<sub>3</sub>として、多結晶シリコンを積層し、パターンニングする。そしてAlなどの金属を積層しパターンニングして、電極配線(E<sub>1</sub>～E<sub>4</sub>)を形成し、パッシベーション膜（図示せず）を積層して薄膜圧力センサは完成する。本実施例ではE<sub>1</sub>とE<sub>2</sub>を結線し、その接点とE<sub>3</sub>の電極から電圧を出力させることにより、R<sub>1</sub>に零点粗調抵抗2個を、R<sub>2</sub>に零点微調抵抗を加えたことになる。

## 第3実施例

張係数を持つ膜（例えばノンドープ多結晶シリコン膜0.3μm程度）を積層してもよい。

## 第4実施例

次に圧力センサの出力特性の直線性の改善に関して説明する。

第5図に圧力センサのダイアフラム上の応力分布の拘束位置依存性を、(a)本発明によるダイアフラム、(b)従来のダイアフラム、について各々示している。

第5図(b)は従来のダイアフラムの断面形状であり、拘束位置1aとダイアフラム受圧部1bはほぼ同じ高さであり、拘束部が①、②、③、④と少しその位置がずれることにより応力分布が大きく変わること示し、第5図(a)は本発明のダイアフラムの断面形状であり、拘束位置1aとダイアフラム受圧部1bには段差が設けてあり、拘束位置1aとダイアフラム受圧部1bは離れている。本発明の構造であると、拘束部が①、②とその位置がずれても応力分布に変化はない。

従って、圧力印加時、第5図(c)に示すよう

に拘束位置がずれても、拘束部が受圧部に悪影響を及ぼさないで直線性は大幅に改善される。実施例では非直線性は約1/3に低減された(第5図(d))。

#### (発明の効果)

本発明の特許請求の範囲第1項の発明によれば補償用回路の抵抗をダイヤフラム上に亜ゲージと同材料で形成しているの、抵抗素子の部品点数を増やすことなく、また、ハンダ付等の工程数を増やすことなく、補償用回路の抵抗を構成することができる。そのため、ハンダ付等の工程数における不良、接触不良等による歩留り低下などの要因がなくなるため、歩留りは向上する。さらに、抵抗は亜ゲージと同材料で、同工程で形成されるので、薄膜圧力センサの工程を変えることなく、抵抗を形成することができるので、抵抗を形成することによっての工程の時間数は全く増加しない。

本発明の特許請求の範囲第2項の発明によれば圧力印加時に拘束位置がずれても、ダイヤフラムの応力分布に変化がなくなり、圧力センサの出力

特性の直線性が向上する。

#### 4. 図面の簡単な説明

第1図は本発明第1の実施例の薄膜圧力センサの(a)平面図と(b)断面図

第2図は同工程図

第3図は本発明第2の実施例の薄膜圧力センサの(a)平面図と(b)断面図(c)等価回路図

第4図は本発明の第3の実施例の薄膜圧力センサの(a)平面図と(b)断面図

第5図(a)は本発明による薄膜圧力センサのダイヤフラムの応力分布の拘束位置依存性を示すグラフ、第5図(b)は従来の薄膜圧力センサのダイヤフラムの応力分布の拘束位置依存性を示すグラフ、第5図(c)は圧力印加時のダイヤフラム拘束位置のずれを表す図、第5図(d)は本発明による直線性の改善を示すグラフである。

第6図は従来の薄膜圧力センサの(a)断面図と(b)平面図と(c)等価回路図

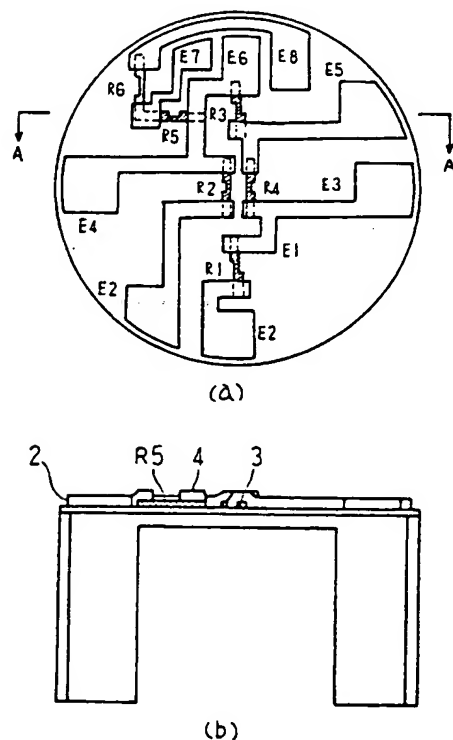
第7図は補償用回路を組み込んだ薄膜圧力センサの等価回路図

第8図(a)は薄膜圧力センサの感度と温度の関係を示す図、第8図(b)は温度補償用素子を介してセンサ部に印加される電圧と温度との関係を示す図

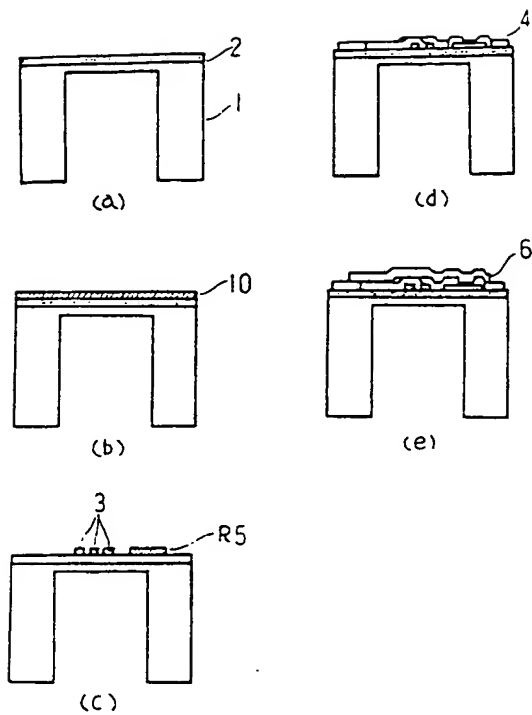
第9図は薄膜圧力センサと回路等をケースに組み込んだ図である。

- 1・・・ダイヤフラム      4・・・電極
- 1a・・・拘束位置
- 1b・・・ダイヤフラム受圧部
- 2・・・絶縁膜              5・・・センサ部
- 3・・・亜ゲージ
- 6・・・パッシベーション膜
- 7・・・温度補償用回路
- R7・・・零点補償用の抵抗

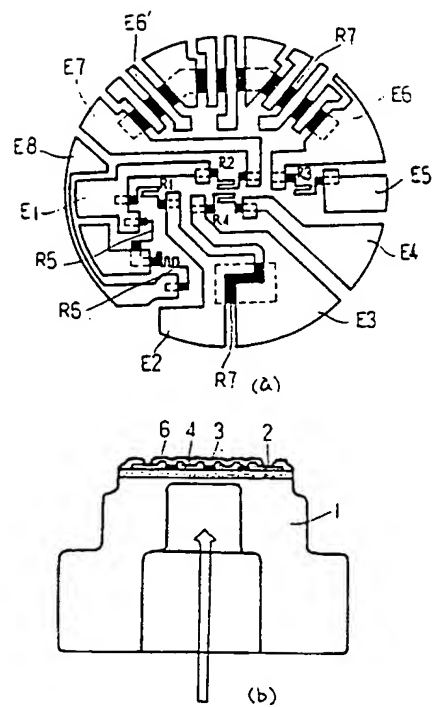
出願人 株式会社 小松製作所



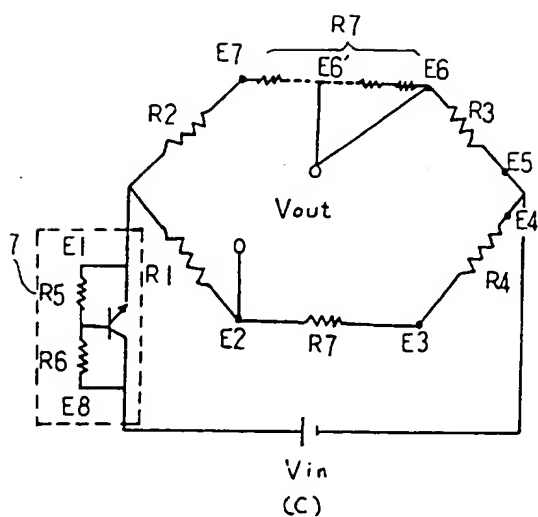
第1図



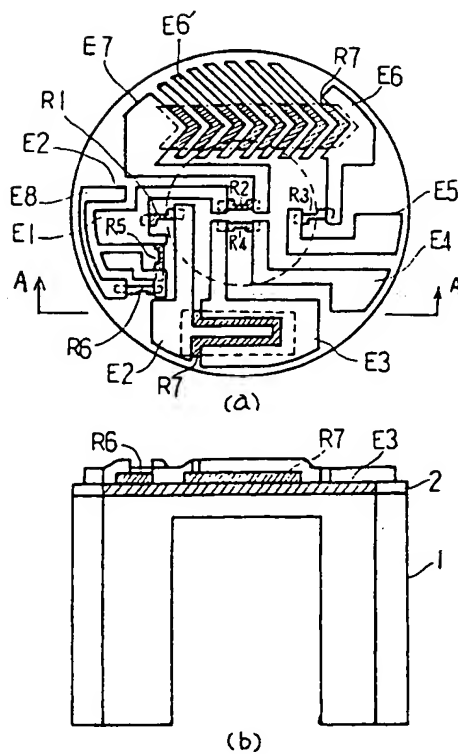
第2図

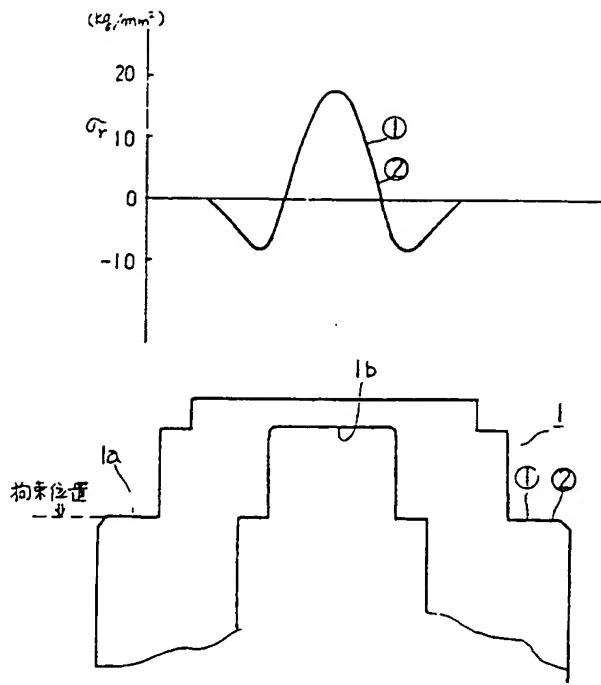


第4図

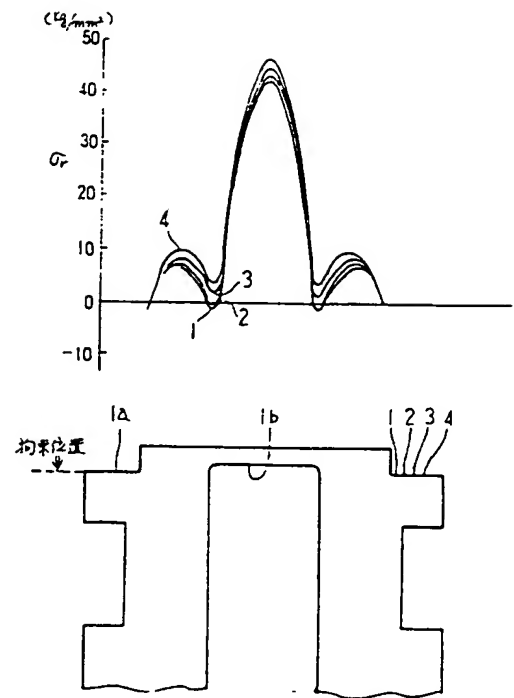


第3図

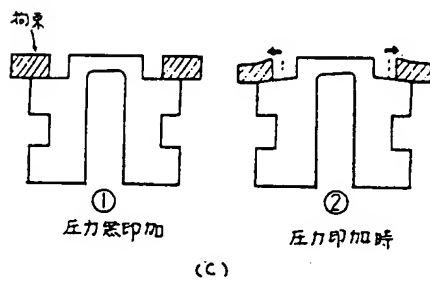




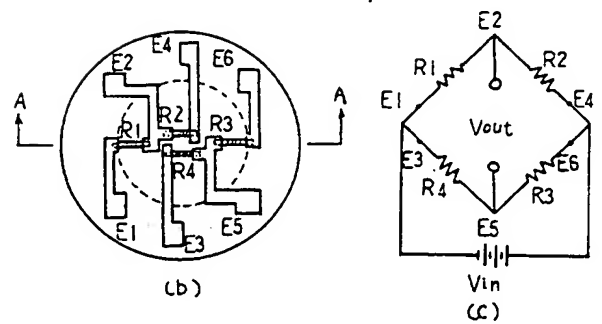
第5図 (a)



第5図 (b)

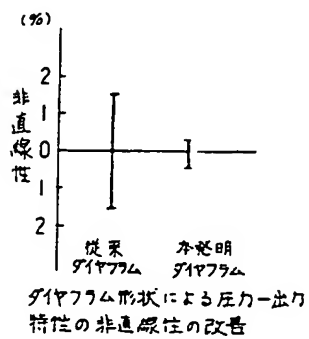


(c)



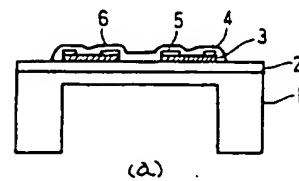
(b)

(c)



(d)

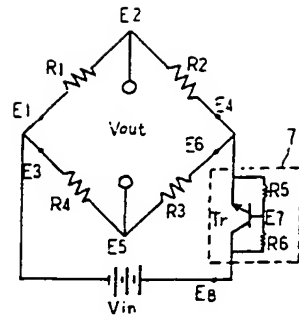
第5図



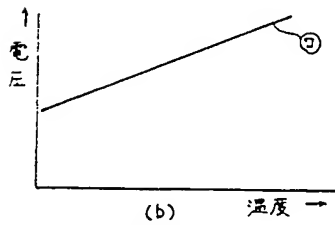
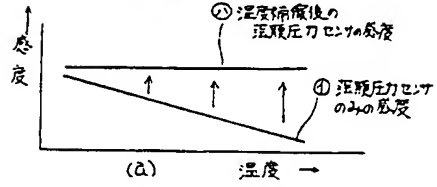
(a)

第6図

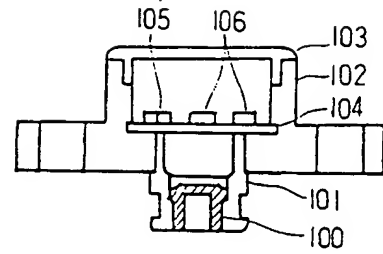




第7図



第8図



第9図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**